



[12] 发明专利说明书

专利号 ZL 02122897.3

[11] 授权公告号 CN 1221031C

[45] 授权公告日 2005 年 9 月 28 日

[22] 申请日 2002.6.17 [21] 申请号 02122897.3

[71] 专利权人 财团法人工业技术研究院

地址 台湾省新竹县

[72] 发明人 柯明道 彭政杰 姜信钦

审查员 朱永全

[74] 专利代理机构 北京三友知识产权代理有限公司

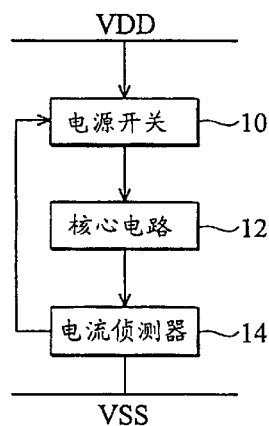
代理人 陈 红

权利要求书 2 页 说明书 7 页 附图 7 页

[54] 发明名称 芯片上的集成电路栓锁现象防护电路

[57] 摘要

一种芯片上的集成电路栓锁现象 (latchup) 防护电路。该防护电路包含有一核心电路 (core circuit)、一电源开关 (power switch) 以及一电流侦测器 (current extractor)。该电源开关控制流经该核心电路的主要电流 (major circuit)。该电流侦测器侦测该主要电流的大小。该核心电路、该电源开关以及该电流侦测器彼此串联且耦接于一相对高电压电源线与一相对低电压电源线之间。当该核心电路发生栓锁现象时, 该电流侦测器使该电源开关, 进而使该栓锁现象消失。



ISSN 1008-4274

1. 一种芯片上的集成电路栓锁现象防护电路，包含有：

一核心电路；

一电源开关，用以控制流经该核心电路的主要电流；以及

5 一电流侦测器，用以侦测该主要电流的大小；

其特征是：该核心电路、该电源开关以及该电流侦测器彼此串联且耦接于一相对高电压电源线与一相对低电压电源线之间；以及，当该核心电路发生栓锁现象时，该电流侦测器使该电源开关关闭而呈开路状态，进而使该栓锁现象消失。

10 2. 如权利要求 1 所述的栓锁现象防护电路，其特征是：由该相对高电压电源线至该相对低电压电源线，依序串接的为该电源开关、该核心电路以及该电流侦测器。

3. 如权利要求 1 所述的栓锁现象防护电路，其特征是：由该相对高电压电源线至该相对低电压电源线，依序串接的为该电源开关、该电流侦测器以及该
15 核心电路。

4. 如权利要求 1 所述的栓锁现象防护电路，其特征是：由该相对高电压电源线至该相对低电压电源线，依序串接的为该电流侦测器、该核心电路以及该电源开关。

5. 如权利要求 1 所述的栓锁现象防护电路，其特征是：由该相对高电压电源线至该相对低电压电源线，依序串接的为该核心电路、该电流侦测器以及该
20 电源开关。

6. 如权利要求 1 所述的栓锁现象防护电路，其特征是：由该相对高电压电源线至该相对低电压电源线，依序串接的为该核心电路、该电源开关以及该电流侦测器。

25 7. 如权利要求 1 所述的栓锁现象防护电路，其特征是：由该相对高电压电源线至该相对低电压电源线，依序串接的为该电流侦测器、该电源开关以及该核心电路。

8. 如权利要求 1 所述的栓锁现象防护电路，其特征是：该电流侦测器包含有：

一电流镜电路，具有一第一晶体管以及一第二晶体管，该第一晶体管与该第二晶体管的二控制闸相耦接，该主要电流主要流经该第一晶体管，流经该第二晶体管的映射电流正比于该主要电流；以及

一负载，与该第二晶体管相串接于该相对高电压电源线与该相对低电压电源线之间。

9. 如权利要求 8 所述的栓锁现象防护电路，其特征是：该第一晶体管与该第二晶体管均为 NMOS。

10. 如权利要求 8 所述的栓锁现象防护电路，其特征是：该第一晶体管与该第二晶体管均为 PMOS。

11. 如权利要求 1 所述的栓锁现象防护电路，其特征是：该电流侦测器为一电阻。

12. 如权利要求 1 所述的栓锁现象防护电路，其特征是：该电源开关包含有一金属氧化物半导体晶体管，其栅极受控于该电流侦测器。

13. 如权利要求 12 所述的栓锁现象防护电路，其特征是：该金属氧化物半导体晶体管为 NMOS。

14. 如权利要求 12 所述的栓锁现象防护电路，其特征是：该金属氧化物半导体晶体管为 PMOS。

15. 如权利要求 12 所述的栓锁现象防护电路，其特征是：该金属氧化物半导体晶体管的栅极与该电流侦测器之间串有一反向器。

16. 如权利要求 1 所述的栓锁现象防护电路，其特征是：该电源开关与该电流侦测器之间串有一延迟电路，用以降低该电源开关对该电流侦测器的反应速度。

芯片上的集成电路栓锁现象防护电路

技术领域

5

本发明涉及集成电路,尤其是一种可以侦测电路是否发生栓锁现象,并适时的加以解除的芯片上的(on-chip)集成电路栓锁现象(latchup)防护电路。

背景技术

10

集成电路中的互补式金属氧化半导体(complementary metal oxide semiconductor, CMOS)电路需要在半导体芯片上制造出正型金属氧化物半导体场效应晶体管(positive-type metal-oxide-semiconductor field effect transistor, PMOS)以及负型金属氧化物半导体场效应晶体管(negative-type metal-oxide-semiconductor field effect transistor, NMOS)。PMOS下寄生的 pnp 双接面晶体管(bipolar junction transistor, BJT)以及 NMOS 下寄生的 npn BJT,在结构上,可以结合而视为一个具有 PNPN 结构的硅控整流器(silicon controlled rectifier, SCR)。众所周知的,一般的 SCR,在被触发状态时,具有相当低的等效电阻。而且,SCR 一般具有相当低的持守电压(holding voltage)。万一 SCR 被触发,SCR 便会流过大量的电流。除非跨在 SCR 两端的电压低于持守电压或是供应 SCR 的电流低于一定程度,大电流便会持续发生,因而消耗大量的电能。如此的效应便称为栓锁现象。

15

20

目前已经有许多种防止栓锁现象的方法。譬如说,在布局上设置防护环(guard ring)或是限定 PMOS 与 NMOS 之间的距离,或是在制程上用磊晶技术(epitaxy)或是逆向井(retrograde well)技术来减小深度较深的半导体的展阻(spread resistance)等,这些都是用来增加 SCR 的触发电压。美国专利编号

25

5, 347, 185 也提出了用基纳二极管 (Zener diode) 构成的电压箝制电路来限制两电源线的电压差, 希望 SCR 的两端压差不足以触发它。但是, 电路操作时的噪声或是瞬时电流也有可能触发 SCR。单单运用以上的方法, 当 SCR 被触发后, 除非电源以人工的方式关闭, 栓锁现象便会持续的发生。

- 5 美国专利编号 5, 212, 616 以及 5, 379, 174 两篇专利的电路, 在察觉被量测电路发生栓锁现象时, 会自动地切断供应给被量测电路的电压/电流 (voltage/current) 源。再隔一段时间后, 重新开启电压/电流源, 使被量测电路重新回到正常操作状态 (没有发生栓锁现象的前的状态)。但是, 两篇专利都是以跨在被量测电路上的电压值作为动作的判断依据。

10

发明内容

本发明的主要目的, 在于利用通过被量测电路的电流值作为依据, 来切断被量测电路的电源。

- 15 本发明的另一主要目的, 是切断被量测电路的电源后, 可以重新提供电源, 使被测量电路回到正常操作状态。

根据上述的目的, 本发明提出一种芯片上的集成电路栓锁现象 (latchup) 防护电路。该防护电路包含有一核心电路 (core circuit)、一电源开关 (power switch) 以及一电流侦测器 (current extractor)。电源开关控制流经该核心电
20 路的主要电流 (major current)。该电流侦测器侦测该主要电流的大小。该核心电路、该电源开关以及该电流侦测器彼此串联且耦接于一相对高电压电源线与一相对低电压电源线之间。当该核心电路发生栓锁现象时, 该电流侦测器使该电源开关关闭 (open), 进而使该栓锁现象消失。

- 25 该电流侦测器包含有一电流镜 (current mirror) 电路以及一负载。该电流镜电路具有一第一晶体管以及一第二晶体管。该第一晶体管与该第二晶体管的二控制闸相耦接。该主要电流主要流经该第一晶体管。流经该第二晶体管的映

射电流正比于该主要电流。该负载与该第二晶体管相串接于该相对高电压电源线与该相对低电压电源线之间。

该电流侦测器也可以仅仅用一电阻负载来实施。

本发明的优点在于栓锁现象被芯片上的电路自动地侦测到且解除,可以防止栓锁现象对核心电路产生损害。而且,芯片上的电路自动地使该核心电路回到栓锁现象发生前的状态,可以使该核心电路正常操作。

附图说明

- 10 图 1A 为本发明的第一实施例的功能方块图;
图 1B 为图 1A 的第一种具体电路图;
图 1C 为图 1A 的第二种具体电路图;
图 1D 为图 1A 的第三种具体电路图;
图 2A 为本发明的第二实施例的功能方块图;
15 图 2B 为图 2A 的第一种具体电路图;
图 2C 为图 2A 的第二种具体电路图;
图 2D 为图 2A 的第三种具体电路图;
图 3A 为本发明的第三实施例的功能方块图;
图 3B 为图 3A 的第一种具体电路图;
20 图 3C 为图 3A 的第二种具体电路图; 以及
图 4A 至图 4C 分别为第四至第六实施例。

符号说明:

- | | |
|-------------|---------|
| 电源开关 10 | 核心电路 12 |
| 25 电流侦测器 14 | 延迟电路 16 |

具体实施方式

第一实施例

图 1A 为本发明的第一实施例的功能方块图。本发明为一集成电路栓锁现象防护电路。在相对高电源线 VDD 与相对低电源线 VSS 之间依序串接有一电源开关 10、一核心电路 (core circuit) 12 以及一电流侦测器 (current extractor) 14。所谓核心电路 10 指的是除了输出入端口电路外的 CMOS 电路，一般的放置位置在晶片 (chip) 的中央地带，也是集成电路的主要逻辑或是模拟处理的所在。流经核心电路 12 的电流称为主要电流。因为串联的原因，绝大部分的主要电流会流过电源开关 10 以及电流侦测器 14。

电流侦测器 14 侦测主要电流的大小。当主要电流超过一个默认值时，电流侦测器 14 会触发电源开关 10 关闭，呈现开路状态 (open circuit)。主要电流默认值可以依据核心电路 12 的特性而定，以区别正常操作状态与栓锁现象的不同。藉此，使该主要电流被阻断或是很接近 0。因为流经该核心电路 12 的主要电流并不足以维持栓锁现象，栓锁现象便消失或是解除。

当开关电路 10 关闭后，由图 1A 上可知，电流侦测器 14 也会侦测到电流由栓锁现象时的大电流，突降成很小很小的电流。所以，电流侦测器 14 便会跟着开启开关电路 10，使开关电路 10 重新提供电流给核心电路 12，使核心电路 12 重新正常的操作。

也就是说，本发明的防护电路在发现栓锁现象发生后，可以利用关闭电源方式，自动的使栓锁现象解除。而且，以类似回馈 (feedback) 的效应，在一段时间延迟 (time delay) 后，可以适时的重新提供电源，使核心电路 12 正常操作。

图 1B 为图 1A 的第一种具体电路图。

电流侦测器 14 以一电流镜电路与一个电阻 R 当负载所构成。电流镜电路具有栅极相耦合的两个 NMOS (Mn1 与 Mn2)。Mn1 的栅极同时又与自己的漏极相耦接。Mn1 与核心电路 12 串联，所以大部分的主要电流会流经 Mn1。流经 Mn2 的

电流大约与 Mn1 的电流成正比。流经 Mn1 的电流便反应在电阻 R 的跨压，或是 Mn1 与 R 处的接点电压上。

开关电路 10 以一个反向器 INV 与一 PMOS Mp1 所组成。Mp1 与核心电路 12 相串联。

5 一般操作时，流经 Mn1 的电流为一般 CMOS 电路操作时的小电流，所以流经 Mn2 的电流也小，因此，R 的跨压也小，Mn2 与 R 的接点可以视为高电压。反向器 INV 依据 Mn2 与 R 的接点电压，提供一低电压给 Mp1 的栅极，保持 Mp1 的开启，提供核心电路 12 的电源。

10 在核心电路 12 发生栓锁现象时，流经 Mn2 的电流会与流经 Mn1 的电流一样的变大，因此，使 Mn2 与 R 的接点处电压成一相对低电压。反向器 INV 输出高电压，将 Mp1 关闭。核心电路 12 会因为没有电源供应而解除了栓锁现象。

在关闭 Mp1 后，流经 Mn1 的电流也几乎等于 0，因此，经历一段延迟时间 (RC 延迟) 的充电效应后，反向器 INV 的输入端便会再度的成为相对高电位，反向器 INV 便开启 Mp1，以提供正常电源给核心电路 12。

15 图 1C 为图 1A 的第二种具体电路图，其中电流侦测器 14 为一电阻 R，开关电路 10 为一 PMOS Q1。R 与核心电路 12 的接点，可以选择性的通过一延迟电路 16，控制 Q1 的开启与关闭。

20 在正常操作时，流经 R 的电流小，R 与核心电路 12 的接点可以视为低电位，进而保持 Q1 开启的状态。在核心电路 12 发生栓锁现象时，流经 R 的电流大增，因此，R 与核心电路 12 的接点可以视为高电位，进而关闭了 Q1。Q1 关闭一段时间后，R 与核心电路 12 的接点又会因放电回到低电位，再经过延迟电路 16 的延迟时间，便开启 Q1，重新提供电源给 Q1。

图 1D 为图 1A 的第三种具体电路图，其中，电流镜电路由 PMOS Q1 与 Q2 所构成，而开关电路 10 以一 NMOS Q3 所构成。其操作与前述的具体电路类似，
25 可以为业界人士推导得知，在此不再重述。

第二实施例

图 2A 为本发明的第二实施例的功能方块图。在相对高电源线 VDD 与相对低电源线 VSS 之间依序串接有一电源开关 10、一电流侦测器 14 以及一核心电路 12。电源开关 10、电流侦测器 14 以及核心电路 12 的连接条件是彼此串联，因此，排列顺序并不会影响其功能的实现。

5 图 2B 为图 2A 的第一种具体电路图。

电流侦测器 14 以一电流镜电路与一个电阻 R 当负载所构成。电流镜电路具有栅极相耦合的两个 PMOS (Q1 与 Q2)。Q1 的栅极同时又与自己的漏极相耦接。流经 Q1 的电流反应在电阻 R 的跨压，或是 Q2 与 R 处的接点电压上。

开关电路 10 以一 PMOS Q3 所组成。Q3 与核心电路 12 相串联。

10 一般操作时，流经 Q1 的电流很小，所以流经 Q2 的电流也小，因此，R 的跨压也小，Q2 与 R 的接点可以视为低电压。所以，Q3 保持在开启状态，以提供核心电路 12 的电源。

在核心电路 12 发生栓锁现象时，流经 Q2 的电流会与流经 Q1 的电流一样的变大，因此，使 Q2 与 R 的接点处电压成一相对高电压。所以，Q3 关闭，使
15 核心电路 12 中的栓锁现象解除。

在关闭 Q3 后，流经 Q1 的电流也几乎等于 0，因此，经历一段延迟时间 (RC 延迟) 的放电效应后，Q2 与 R 的接点处电压变成一相对低电压，以开启 Q3，而提供正常电源给核心电路 12。

图 2C 为图 2A 的第二种具体电路图。其中，电流镜电路以 NMOS Q1 与 Q2
20 所构成，而开关电路 10 以一 PMOS Q3 与一反向器所构成。

图 2D 为图 2A 的第三种具体电路图。其中，电流镜电路以 PMOS Q1 与 Q2 所构成，而开关电路 10 以一 NMOS Q3 所构成。图 2C 与图 2D 的操作与前述的具体电路类似，可以为业界人士推导得知，在此不再重述。

第三实施例

25 图 3A 为本发明的第三实施例的功能方块图。在相对高电源线 VDD 与相对低电源线 VSS 之间依序串接有一电流侦测器 14、一核心电路 12 以及一电源开

关 10。排列顺序并不会影响本发明所预期的功能的实现。

图 3B 为图 3A 的第一种具体电路图，其中电流侦测器 14 为一电阻 R，开关电路 10 为一 NMOS Q1。R 与核心电路 12 的接点，可以选择性的通过延迟电路 16，控制 Q1 的开启与关闭。

5 图 3C 为图 3A 的第二种具体电路图。其中，电流镜电路以 PMOS Q1 与 Q2 所构成，而开关电路 10 以一 NMOS Q3 与一反向器所构成。图 3B 与图 3C 的操作与前述的具体电路类似，可以为业界人士推导得知，在此不再重述。

第四至第六实施例

如同先前所述，电源开关 10、电流侦测器 14 以及核心电路 12 的连接条件
10 件是彼此串联，因此，排列顺序并不会影响其功能的实现。电源开关 10、电流侦测器 14 以及核心电路 12 依照其排列顺序，有不同的六种组合，三种已经于前三种实施例解释了，另外三种请参考图 4A 至图 4C。而图 4A 至图 4C 的电路实现可以参考本发明的其它实施例推论得的，在此不再重述。

15 本发明虽以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此项技艺者，在不脱离本发明的精神和范围内，当可做些许的更动与润饰，因此本发明的保护范围当视后附的专利申请范围所界定者为准。

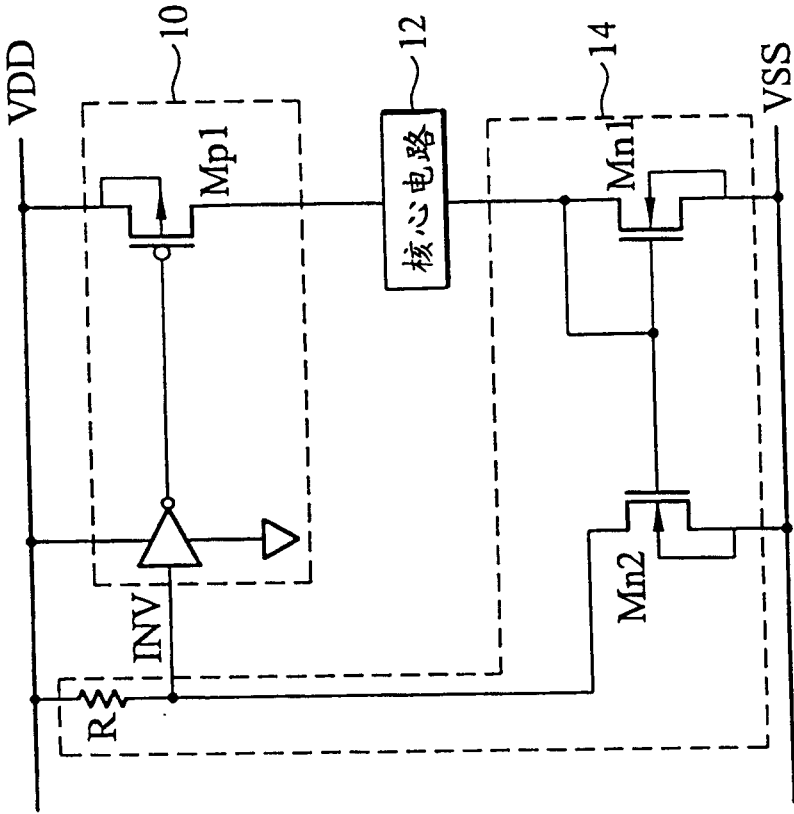


图 1B

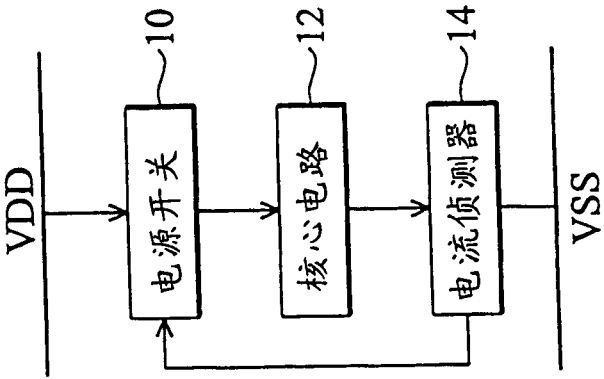


图 1A

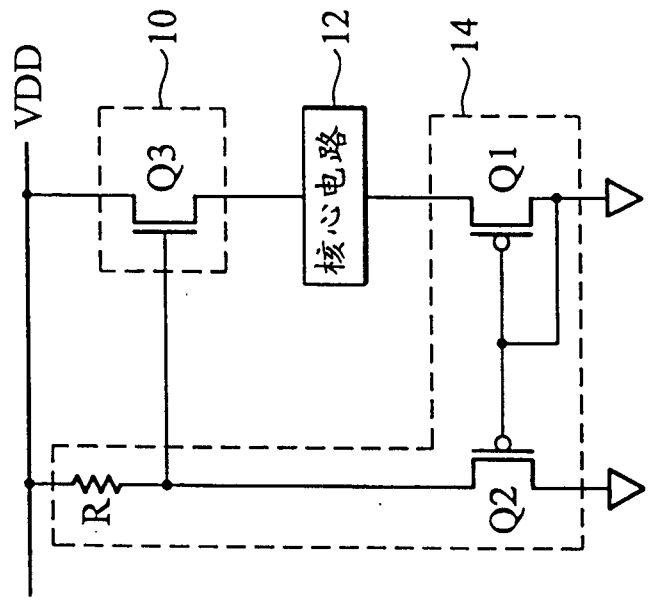


图 1D

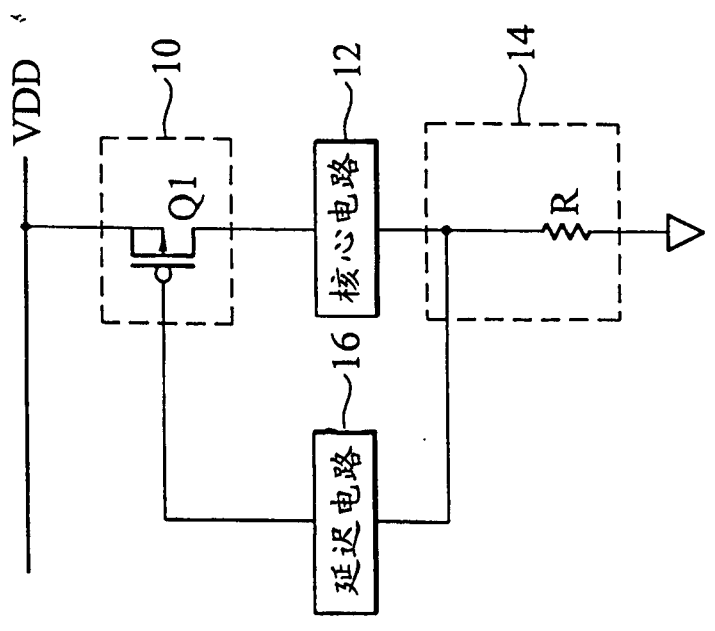


图 1C

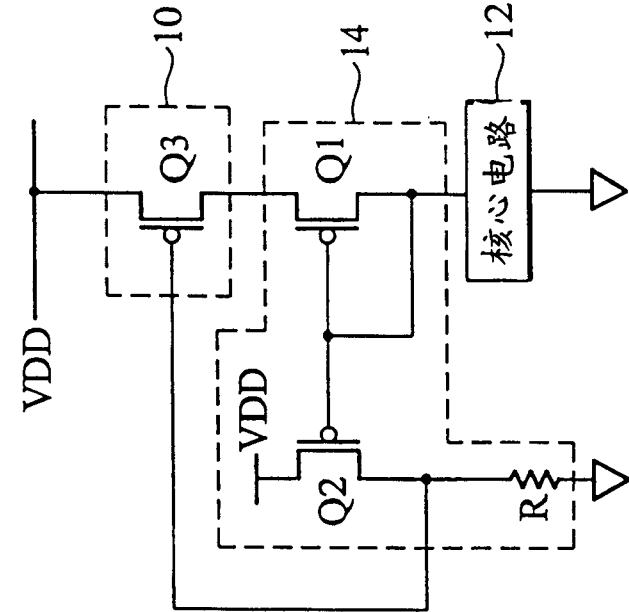


图 2B

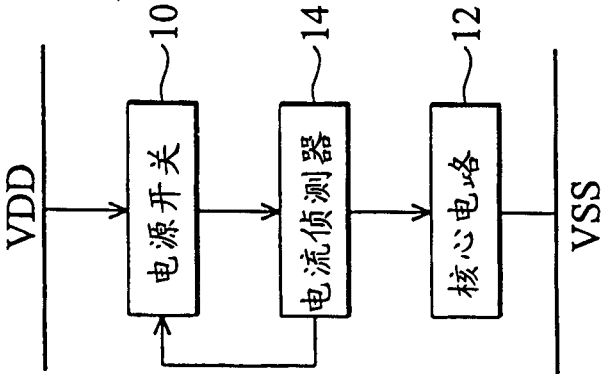


图 2A

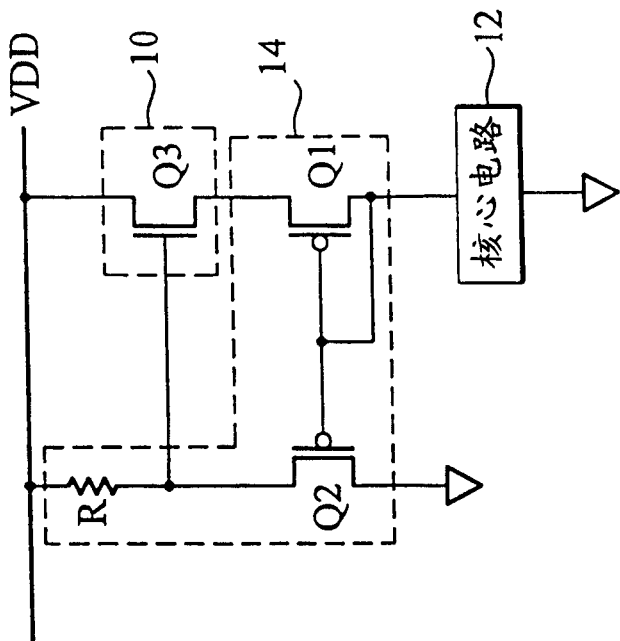


图 2D

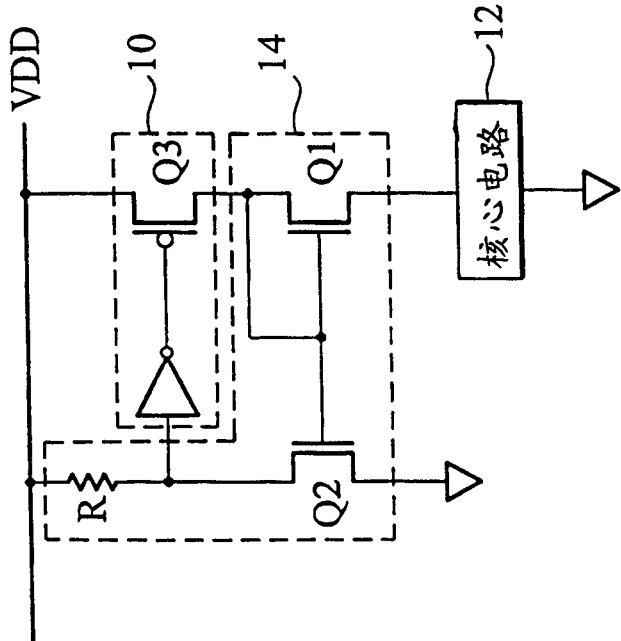


图 2C

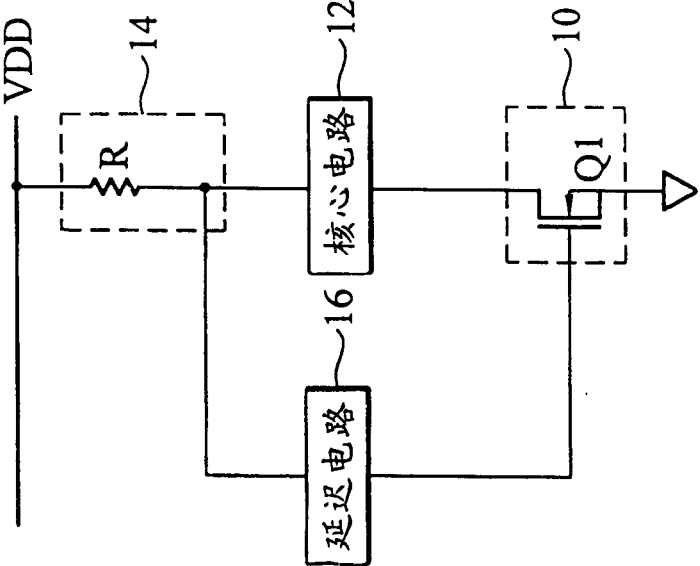


图 3B

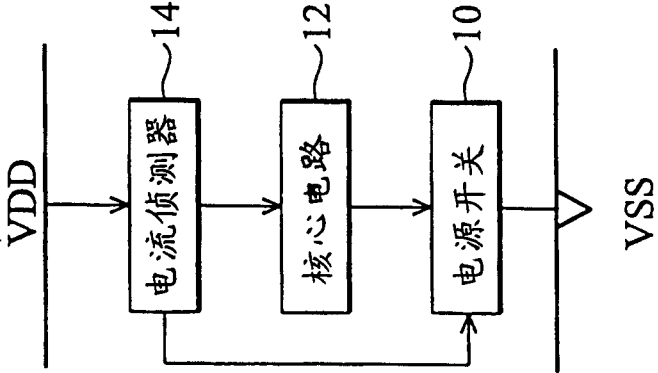


图 3A

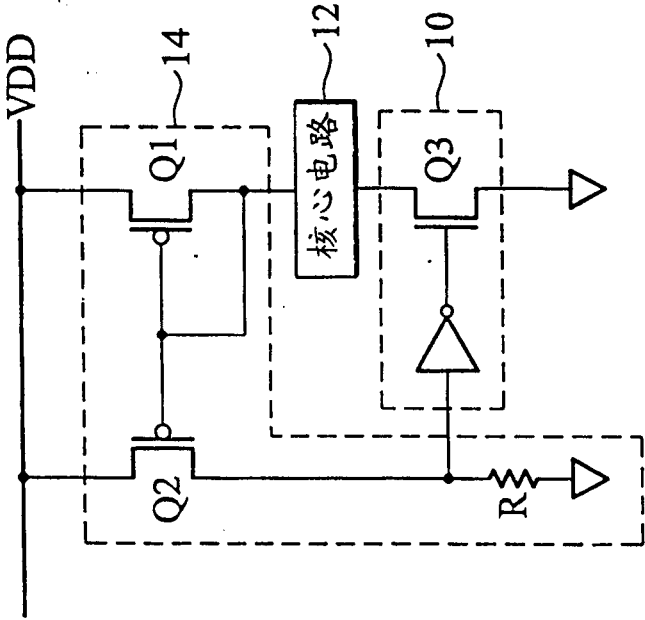


图 3C

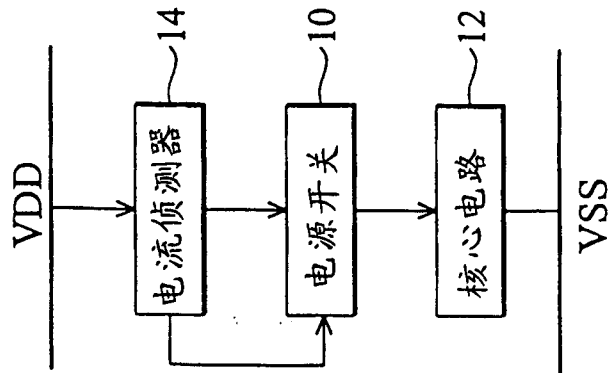


图 4C

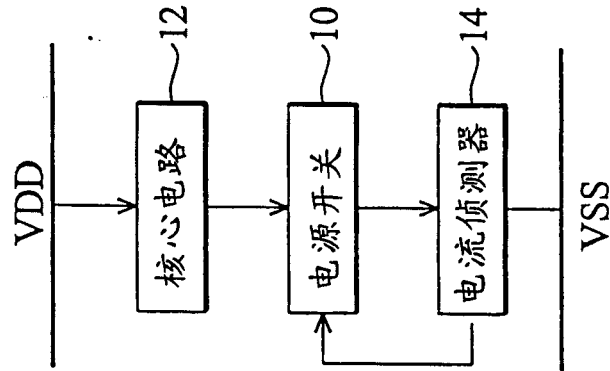


图 4B

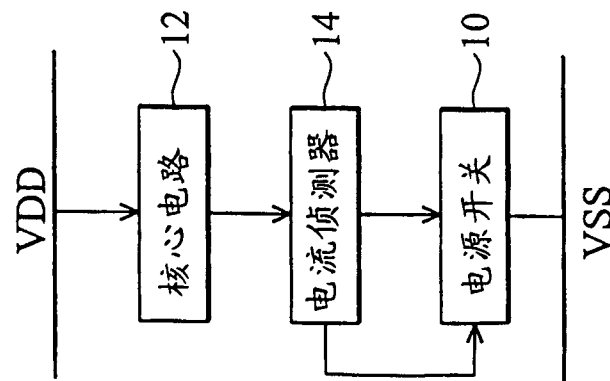


图 4A